

## Application specific event based semiconductor test system

Patent Number:  [US6331770](#)  
Publication date: 2001-12-18  
Inventor(s): SUGAMORI SHIGERU (US)  
Applicant(s): ADVANTEST CORP (US)  
Requested Patent:  [JP2001349927](#)  
Application Number: US20000547753 20000412  
Priority Number(s): US20000547753 20000412  
IPC Classification: G01R7/00  
EC Classification: [G01R31/319C1](#)  
Equivalents: CN1323990,  [DE10118206](#)

### Abstract

A semiconductor test system for testing semiconductor devices, and particularly, to a semiconductor test system having a plurality of different types of tester modules in a main frame and a measurement module unique to the device under test in a test fixture, thereby achieving a low cost and application specific test system. The semiconductor test system includes two or more tester modules whose performances are different from one another, a test system main frame to accommodate a combination of two or more tester modules, a test fixture provided on the main frame for electrically connecting the tester modules and a device under test, a measurement module provided in the test fixture for converting signals between the device under test and the tester module depending on the function of the device under test, and a host computer for controlling an overall operation of the test system by communicating with the tester modules through a tester bus

Data supplied from the [esp@cenet](#) database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-349927

(P2001-349927A)

(43)公開日 平成13年12月21日(2001.12.21)

(51)Int.Cl.<sup>7</sup>

G 0 1 R 31/28

識別記号

F I

G 0 1 R 31/28

テ-マコ-ト(参考)

H 2 G 1 3 2

審査請求 未請求 請求項の数12 O L (全 11 頁)

(21)出願番号 特願2001-109864(P2001-109864)

(22)出願日 平成13年4月9日(2001.4.9)

(31)優先権主張番号 09/547753

(32)優先日 平成12年4月12日(2000.4.12)

(33)優先権主張国 米国(US)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 菅森 茂

アメリカ合衆国、カリフォルニア州、サン

タクララ、スコット・プラバラード 3201

Fターム(参考) 2G132 AA01 AA11 AB01 AC03 AE08

AE14 AE16 AE19 AE24 AL07

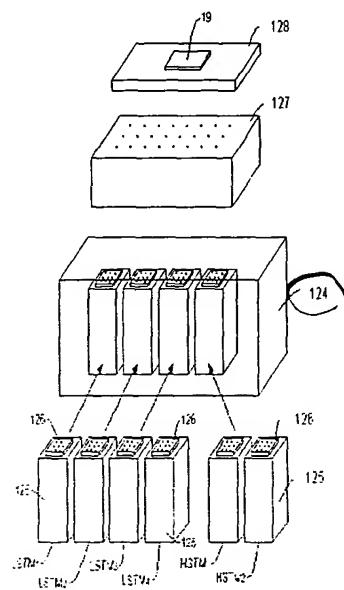
(54)【発明の名称】 半導体テストシステム

(57)【要約】

【課題】半導体デバイスを試験するための半導体テストシステムであり、特に各種の異なるタイプの試験装置をモジュール化してそれらの複数個を組み合わせ、かつ被試験デバイスに固有の機能に応じた測定モジュールをテスト・フィックスチャ内に設けることにより、低コストでアプリケーションスペシフィックに構成した半導体テストシステムを提供する。

【解決手段】この半導体試験システムは、2以上の同一または異なる種類の性能を有するテスタモジュールとそのテスタモジュールを2個以上組み合わせて搭載するシステム本体と、そのシステム本体上に設けられ、テスタモジュールと被試験デバイスを電気的に接続するテスト・フィックスチャと、そのテスト・フィックスチャに設けられた被試験デバイスの機能に応じてテスタモジュールと被試験デバイス間の信号変換を行う測定モジュールと、そのテストシステムに搭載された上記テスタモジュールとシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータとにより構成される。

図6



## 【特許請求の範囲】

【請求項 1】 半導体テストシステムにおいて、同一または異なる種類の性能を有するテスタモジュールと、そのテスタモジュールを任意に組み合わせて搭載するシステム本体と、そのテストシステム本体に設けられ、テスタモジュールと被試験デバイスを電気的に接続するテスト・フィクスチャと、そのテスト・フィクスチャに設けられ被試験デバイスの機能に応じてテスタモジュールと被試験デバイス間の信号変換を行う測定モジュールと、そのテストシステムに搭載された上記テスタモジュールとシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータと、により構成される半導体テストシステム。

【請求項 2】 被試験デバイスに応じて異なるタイプの上記測定モジュールを搭載した複数種類のテスト・フィクスチャが用意され、試験の実施において、被試験デバイスの種類に応じて、該当テスト・フィクスチャがシステム本体に取り付けられる請求項 1 に記載の半導体テストシステム。

【請求項 3】 上記テスト・フィクスチャ内に搭載される測定モジュールは、被試験デバイスがアナログ・ディジタル混成集積回路であるときは、アナログ信号とディジタル信号間の変換を行う機能を有する請求項 1 に記載の半導体テストシステム。

【請求項 4】 上記テスト・フィクスチャ内に搭載される測定モジュールは、被試験デバイスが B I S T (ビルトイン・セルフテスト) 機能を有するときは、その被試験デバイス内の B I S T コントローラとのインターフェースを行う機能を有する請求項 1 に記載の半導体テストシステム。

【請求項 5】 上記テスタモジュールと被試験デバイスを電気的に接続するためのテスト・フィクスチャと上記テスタモジュールとの接続仕様が標準化された請求項 1 に記載の半導体テストシステム。

【請求項 6】 上記テスタモジュールと被試験デバイスを電気的に接続するテスト・フィクスチャは、被試験デバイスを搭載する機構を設けたパフォーマンスボードと、そのパフォーマンスボードと上記テスタモジュール間を電気的接続するための機構を有する請求項 1 に記載の半導体テストシステム。

【請求項 7】 上記テスタモジュールは所定のテストピン数となるようにピン数の設定変更ができる請求項 1 に記載の半導体テストシステム。

【請求項 8】 上記テスタモジュールは所定のテストピン数となるようにピン数の設定変更ができ、その設定や変更是ホストコンピュータからのアドレス設定によりされる請求項 1 に記載の半導体テストシステム。

【請求項 9】 上記テスタモジュールのそれぞれは複数のイベントテスタボードを有し、その各イベントテスタボードは 1 のテストピン用に構成されている請求項 1 に記載の半導体テストシステム。

【請求項 10】 上記テスタモジュールはそれぞれその内部にコントローラを有し、上記ホストコンピュータからの指令に基づき各モジュールからテストパターンの発生と被試験デバイスからの出力信号の検証を行う請求項 1 に記載の半導体テストシステム。

【請求項 11】 上記テスタモジュールは複数のイベントテスタボードからなり、それぞれそのイベントテスタボードはコントローラを有し、上記ホストコンピュータからの指令に基づき各ボードから対応する被試験デバイスピニにテストパターンを与えその被試験デバイスからの出力信号の検証を行う請求項 9 に記載の半導体テストシステム。

【請求項 12】 上記テスタモジュールのそれぞれは複数のイベントテスタボードを有し、その各イベントテスタボードは 1 のテストピン用に構成されており、かつその各イベントテスタボードは、

上記ホストコンピュータからの指令に基づき各テスタボードからテストパターンの発生と被試験デバイスからの出力信号の検証を行うコントローラと、各イベントのタイミングデータを格納するためのイベントメモリと、上記コントローラの制御のもとに、そのイベントメモリにアドレスデータを与えるアドレスシーケンサと、

そのイベントメモリからのタイミングデータに基づいてテストパターンを形成する手段と、

そのテストパターンを対応する被試験デバイスピニに与えその被試験デバイスからの応答出力信号を受けるドライバコンバレータと、

により構成される請求項 1 に記載の半導体テストシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は超 L S I 等の半導体集積回路を試験するための半導体テストシステムに関し、特に固有用途に特化（アプリケーション・スペシフィック）して構成され、かつイベントテスター・アキテクチャにより構成された低コスト半導体テストシステムに関する。

【0002】 本発明のイベントベースによる半導体試験システムは、同一または異なる性能のテスタモジュールを複数個任意に組み合わせて、かつその用途に固有の測定モジュールをテストフィクスチャ内に搭載して試験システムを構成し、各テスタモジュールは相互に独立して並列に動作することにより、低コストで用途別のテストシステムを実現する。

## 【0003】

【従来の技術】超LSI等の半導体集積回路（以後必要に応じて「被試験デバイス」ともいう）を試験するための半導体テストシステム（ICテストと通称される）の典型的な構成例を第1図に示す。

【0004】第1図において、テストプロセッサ11はテストシステム内に設けられた専用プロセッサであり、試験システム全体の動作をテスタバスを経由して制御する。パターン発生器12はテストプロセッサからのパターンデータに基づき、タイミングデータと波形データを、それぞれタイミング発生器13、波形整形器14に与える。パターン発生器12からの波形データとタイミング発生器13からのタイミング信号により、試験パターン（テストパターン）が、波形整形器14により形成される。試験パターンは、ドライバ15を経由して、被試験デバイス（DUT）19に印加される。

【0005】試験パターンが与えられた結果、被試験デバイス19からはそれに対応する応答出力が生じる。この応答出力は、アナログコンパレータ16により、所定のスレッショルドレベルで論理信号に変換され、ロジックコンパレータ17において、パターン発生器12で形成された期待値と論理比較される。比較結果はDUT19のアドレスに対応して、フェイルメモリ18に記憶される。ドライバ15、アナログコンパレータ16および、被試験デバイスのピンを切り替えるスイッチ（図示せず）等はピンエレクトロニクス20に設けられている。

【0006】上記のような回路構成は、半導体テストシステムのテストピン毎に設けられる。したがって、大型の半導体テストシステムでは例えば256テストピンから2048テストピンのようにその数が大きいため、第1図の回路構成をそれと同数備えることにより、非常に大型の装置となる。第2図はそのような半導体テストシステムの外観イメージを示している。半導体テストシステムはメインフレーム22と、テストヘッド24と、ワクステーション26で構成されている。

【0007】ワクステーション26は例えばグラフィック・ユーザ・インターフェース（GUI）を備え、使用者とテストシステムのインタフェースをするためのコンピュータであり、テストシステムの操作やテストプログラムの作成や実行の指示を行う。メインフレーム22には、第1図におけるテストプロセッサ11、パターン発生器12、タイミング発生器13、波形整形器14およびロジックコンパレータ17等が各テストピン数に応じて搭載される。

【0008】テストヘッド24には第1図のピンエレクトロニクス20を搭載した回路基板が多数装備されている。テストヘッド24は例えば円筒状に形成されて、その内部にピンエレクトロニクス回路基板が放射状に装備されている。そのテストヘッドの上面には、被試験デバイス19が、パフォーマンスボード28上の中央部にお

いて、例えば試験ソケットに挿入される。

【0009】ピンエレクトロニクス回路とパフォーマンスボード28間は、電気信号を伝達するための接触機構であるピン（テスト）フィックスチャ27が設けられている。ピンフィックスチャ27には多数の接続用コンタクタ、例えばポゴピン等が設けられ、ピンエレクトロニクス20とパフォーマンスボード28を電気的に接続する。被試験デバイス19は、ピンエレクトロニクスからの試験パターンを受けて、それに対する応答信号を送出する。

【0010】ところで従来の半導体テストシステムでは、被試験デバイスに印加するための試験パターンを形成するために、いわゆるサイクルベース形式で記述された試験データを用いている。サイクルベース形式では、テストパターンの各変数は、テスタの各試験サイクル（テスタレート）との関係で定義されている。すなわち、試験データに含まれる、試験サイクル（テスタレート）記述、波形（波形種類、エッジタイミング）記述、およびベクタ記述を用いて、所定のサイクルにおけるテストパターンを形成している。

【0011】一方、被試験デバイスの設計時においては、コンピュータ支援による設計（CAD）手法が用いられ、その設計の検証にはテストベンチによる論理シミュレーションが行われ、その検証データが得られる。このテストベンチによるデータはいわゆるイベント形式で記述されている。イベント形式においては、注目するテストパターンが1から0にある場合は0から1にスイッチするときのその変化点（イベント）を、時間の経過との関係で現している。時間の経過は、例えばある基準点からの連続した絶対的時間差として、あるいは直前のイベントからの相対的時間差として現されることが一般である。

【0012】このようなサイクルベースの試験データによる試験パターン形成と、イベントベースの試験データによる試験パターンの形成の比較については、本発明の発明者等による米国特許出願番号09/340,371に記載されている。さらに、本出願の発明者等は新たな形式の半導体試験装置としてイベント型テストシステムを提案している。このイベント型テストシステムの構成や動作については、米国特許出願番号09/406,300に詳述されている。

【0013】半導体テストシステムにおいては、上述のように多数の同一回路基板等がテストピン数と同数あるいはそれ以上装備され、大規模なシステムを構成している。従来の半導体テストシステムでは、これらの回路基板等は全て同一構成、同一性能で構成されている。

【0014】すなわち、高速高性能な試験システム、例えば500MHzのテストレートでタイミング精度80ヒコセカンドの仕様による場合は、テストピンに対応する全ての回路基板がこの性能を満たすように同一に構成

される。このため半導体テストシステム全体としてのコストが非常に高くなる。また全て同一の回路を各テストピンに実装するので、テストシステムは画一的な試験内容しか実施できない。

【0015】被試験デバイスには、アナログ機能とデジタル機能の混在したタイプのものがある。その典型的な例としては、オーディオ用ICや通信機器用ICのようなAD変換器やDA変換器とディジタル信号処理回路を含む被試験デバイスがある。また被試験デバイス中には、自己の内部回路試験を行う機能(BIST:ビルトイン・セルフテスト)を組み込んだものもある。

【0016】従来の半導体テストシステムでは、1のシステムが1の機能試験のみをすることができるよう構成されている。したがって、上記のようなミクストシグナル集積回路を試験する場合は、AD変換器の試験の後にDA変換器の試験を行い、さらにその後にディジタル信号処理回路を試験する等、各機能ブロックについての試験を個別に行う必要があった。またBIST機能を有するデバイスについても、BIST機能の試験を他の試験と個別にする必要があった。

【0017】被試験デバイスがロジックでのみ構成される場合であっても、全ての入出力ピンにおいて、最高性能を要することはほとんどまれである。例えば、非常に高速な動作をし、そのため高速な試験信号を与える必要があるピンはわずか数ピンであり、他の数百ピンは低速な動作のみを行うため、低速な試験信号を与えればよいようなLSIデバイスが一般的である。

【0018】このように、従来の半導体テストシステムは、異なる種類の試験を同時に平行に行うことはできなかったため、特にミクストシグナル被試験デバイスの試験やBIST機能を有する被試験デバイスの試験のような特定用途のデバイス試験に長時間を要する欠点があった。また現実の被試験デバイスのわずかのピンでのみ必要とする性能を全てのテストピンに備えているため、全体のコストが高くならざるを得なかった。

【0019】従来の半導体テストシステムにおいて、上記のように同一回路構成を多数搭載する理由、すなわち異なる回路構成を混在させて異なる複数の試験を並列に行うようにしていらない理由の1つは、上述したサイクルベースにより試験パターンを形成するようにシステムが構成されているからである。サイクルベースにより試験パターンを形成する方式では、ソフトウエアやハードウエアが複雑になり、異なる回路構成を混在させることは実際に困難だからである。

【0020】その理由を説明するために、ここでサイクルベースの試験データを用いて試験パターンを形成する場合と、イベントベースの試験データを用いて同一の試験パターンを形成する場合の比較を第3図の波形等を用いて簡単に示す。より詳細には本出願と同じ譲受人の有する上記の米国特許出願に記載されている。

【0021】第3図の例では、半導体デバイスの設計段階で得られた、論理シミュレーションの結果データを格納したダンプファイル37からのデータを利用して試験パターンを形成する場合を示している。そのダンプ出力データは、設計したLSIデバイスの入出力信号変化とその時間をイベントベースで現わしたデータであり、例えば波形31を表現するような場合、右下部の記述38のようになっている。

【0022】その記述に基づいて、波形31に示すようなテストパターンを形成することを想定する。この波形31では、ピン(テスタピンあるいはテストチャンネル)SaとSbから発生されるテストパターンの波形が描かれている。この波形を表現するための、イベントデータは、記述38に示すように、各イベントをセットエッジSan, Sbnとそのタイミング(例えば基準点からの時間の経過)、およびリセットエッジRan, Rbnとそのタイミングで記述されている。

【0023】従来の半導体テストシステムで使用するサイクルベース方式によりテストパターンを形成するためには、試験データを試験サイクル(テストレート)、波形(波形種類、エッジタイミング)、およびベクタの各記述に分けて構成する必要がある。その記述例を第3図中央部および左部に示す。サイクルベースのテストパターンの場合、左部の波形33のように、テストパターンを各試験サイクル(TS1, TS2, TS3)に分けて、その試験サイクルの中で各波形とそのサイクル内の遅延時間を定義する。

【0024】そのための波形、タイミングおよび試験サイクルのデータ記述例が、タイミングデータ(テストプラン)36に示されており、その波形の“1”または“0”あるいは“Z”等の論理がベクタデータ(パターンデータ)35に示されている。例えばタイミングデータ36では、試験サイクルが“rate”としてその時間間隔が規定され、波形種類はRZ(リターンゼロ), NRZ(ノンリターンゼロ), XOR(排他論理)等で規定される。さらに各波形のタイミングが、該当する試験サイクルのエッジからの遅延時間として規定される。

【0025】このように従来の半導体テストシステムでは、サイクルベースでテストパターンを形成するため、パターン発生器、タイミング発生器あるいは波形整形回路のハードウェア構成が複雑となっており、またそれらハードウェアで使用するソフトウエアも複雑となっている。また各ピン(上例のSaとSb)間が共通のテストサイクルで扱われるため、各ピン間で異なるサイクルのテストパターンを同時に発生することは困難である。

【0026】したがって、従来の半導体テストシステムでは、全てのテストピンについて同一の回路構成を採用しており、異なる性能のボードを混在させることは困難であった。このため、アナログ機能ブロックについての試験とロジック機能ブロックについての試験を同時に平

行して行うことは困難であった。また例えば高速タイプの回路構成をとっても、低速タイプで必要とする性能（例えば高電圧大振幅やドライバの禁止機能等）を備える必要があり、高速性能を直接的に実現するさまたげともなっていた。

【0027】一方イベントベースにより試験パターンを形成する場合には、メモリに蓄積したセット・リセットのデータとそのタイミングデータを読み出すのみでなく、そのハードウエアやソフトウェアの構成は極めて単純である。また各ピンがサイクルではなく、イベントの有無として独立に動作できるため、異なる機能や周波数レンジのテストパターンを同時に形成することができる。

【0028】上述のように、本発明の発明者等はイベント方式の半導体テストシステムを提案している。この方式ではハードウエアの構成もソフトウェアの内容も極めて単純となるため、異なる性能の試験回路が混在してもシステム全体として機能できる。またテストピン間が相互に独立して動作できるので、異なる機能や周波数レンジのテストを同時に平行して実施することができる。したがって、異なる試験を同時に平行に実施でき、かつ目的別用途別に特化した低コストのイベント型テストシステムが構成できる。

【0029】

【発明が解決しようとする課題】したがって、本発明の目的は、テストピンに応じて異なる性能の試験回路をモジュール形式で組み合わせて構成し、また特定用途用の測定モジュールをテスト・フィックスチャに搭載することにより、特定用途に特化した半導体テストシステムを提供することにある。

【0030】本発明の他の目的は、テストピンに応じて異なる性能の試験回路をモジュール形式で組み合わせて構成し、アナログ測定モジュールをテスト・フィックスチャに搭載することにより、アナログ機能とデジタル機能の混在した被試験デバイスについて、そのアナログ機能とデジタル機能を同時に平行に試験することができる低コストの半導体テストシステムを提供することにある。

【0031】本発明のさらに他の目的は、テストピンに応じて異なる性能の試験回路をモジュール形式で組み合わせて構成し、B I S T（ビルトイン・セルフテスト）用測定モジュールをテスト・フィックスチャに搭載することにより、被試験デバイスのB I S T機能ブロックと他のロジック部を同時に平行に試験することができる低コストの半導体テストシステムを提供することにある。

【0032】本発明の他の目的は、異なるピン数や性能のモジュールを自由に組み合わせてテスタ本体に組み込めるように、テスタ本体とモジュールとの接続部分の仕様を標準化した半導体テストシステムを提供することにある。

【0033】本発明のさらに他の目的は、複数の異なる性能のテスタモジュールを組み合わせることにより、異なる種類の複数の被試験デバイスまたは複数の機能ブロックの試験を同時に実施できる半導体テストシステムを提供することにある。

【0034】本発明のさらに他の目的は、複数の異なる性能のテスタモジュールを組み合わせることにより、被試験デバイスで必要とする試験を全体として低コストで実現できるとともに、将来の機能の向上を実現できる半導体テストシステムを提供することにある。

【0035】

【課題を解決するための手段】本発明の半導体テストシステムは、2以上の同一または異なる種類の性能を有するテスタモジュールと、そのテスタモジュールを2個以上組み合わせて搭載するテストシステム本体と、そのテストシステム本体上に設けられ、テスタモジュールと被試験デバイスを電気的に接続するテスト・フィックスチャと、そのテスト・フィックスチャに設けられ被試験デバイスの機能に応じてテスタモジュールと被試験デバイス間の信号変換を行う測定モジュールと、そのテストシステムに搭載された上記テスタモジュールとシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータとにより構成される。

【0036】本発明の半導体テストシステムにおいては、テスタモジュールと被試験デバイス間の電気的接続を行うためのテスト・フィックスチャ内に各種の測定モジュールを用途別に設け、試験対象に応じてテスト・フィックスチャを交換する。テスタモジュールは複数のイベントテストボードからなり、それぞれそのイベントテストボードは、ホストコンピュータからの指令に基づき各ボードから対応する被試験デバイスピニにテストパターンを与えその被試験デバイスからの出力信号の検証を行う。

【0037】本発明のイベント型テストシステムでは、特定用途に用いる測定モジュールをテスト・フィックスチャ（ピン・フィックスチャ）に搭載することにより、システム本体に組み込むテスタモジュールの構成をより単純化している。このため、特定用途に専用として用意されたテスト・フィックスチャを被試験対象に応じて取り替えることにより、簡易で低コストな半導体テストシステムを実現できる。

【0038】本発明の半導体テストシステムは、テストピン間で相互に独立した動作が可能であり、所定テストピンのグループと他のグループ間で異なる被試験デバイスや被試験ブロックを同時に担当することができる。したがって、上述のような用途別テスト・フィックスチャを用いることにより、被試験デバイス内のアナログ回路とデジタル回路の試験を同時に平行して実施できる。またB I S T機能を有するデバイスの試験も、B I S T用インターフェースを有するモジュールを備えたテスト・フ

ィクスチャを用いて、容易に実施できる。

【0039】上述のように本発明の半導体試験システムでは、テスタモジュール（テスタボード）をテスト実行に必要な情報を全て有するイベント形式で構成している。このため各テストピンが独立して動作可能となり、上述のように、アナログやデジタルのような異なる種類のテストが同時に実施できる。

【0040】本発明の半導体試験システムでは、完全なモジュール化が達成できるので、被試験デバイスの種類や試験目的等に応じた柔軟な構成とすることができる。また必要とするハードウェア量を大幅に減少でき、かつ各モジュールを制御するためのソフトウェアを大幅に単純化できる。このために、全体としての物理的装置を小型化でき、したがってコストの低下や設置フロアスペースの減少、それに伴う各種費用の減少が実現できる。

【0041】〔発明の実施の形態〕 本発明の実施例を第4図ー第11図を参照して説明する。第4図のブロック図は、本発明の半導体テストシステムによりアナログ・デジタル混成集積回路（以後「混成信号デバイス」または「ミクストシグナルIC」ともいう）を試験する場合の概略構成例を示している。BIST機能デバイスの試験の場合の半導体テストシステムの構成も、BIST測定モジュールを用いることを除いて同じである。

【0042】この発明の半導体テストシステムでは、テストヘッド（システム本体）にモジュール化したテスタ（以後「テスタモジュール」）を複数個自由に搭載できるように構成している。テスタモジュールは例えば同一のモジュールが必要なピン数に応じて複数搭載することも、異なる性能、例えば高速テスタモジュールHSTMと低速テスタモジュールLSTMを必要に応じて組み合わせることも可能である。

【0043】後で第6図に基づいて説明するが、この各テスタモジュールには複数、例えば8枚の、イベントテスタボード43が搭載されている。また各イベントテスタボードには複数のテスタピン、例えば32ピンに相当するイベントテスタ66が32個搭載されている。したがって第4図の例では、イベントテスタボード43ににより被試験デバイスのアナログ部分を担当し、他のテスタボードで被試験デバイスのデジタル部分を担当している。

【0044】第4図の試験システムの概略を説明する。この例では、複数のイベントテスタボードが、ホストコンピュータであるテスタコントローラ41によりシステムバス64を通して制御される。上述のようにイベントテスタボードは、例えば8枚が1個のテスタモジュールに格納されている。また第4図では示されていないが、通常そのようなテスタモジュールを2個以上用いて試験システムを構成する。

【0045】この構成において、イベントテスタボード

43は被試験デバイス19にテストパターン（試験信号）を与え、その結果としての被試験デバイスの応答信号を評価する。被試験デバイスのアナログ機能の試験のために、DA変換器やAD変換器あるいはフィルタ等の機能を有したアナログ測定モジュール48が必要に応じて用いられる。後で説明するように、このアナログ測定モジュール48は、テスト・フィックスチャ（ピン・フィックスチャ）内に搭載される。

【0046】各イベントテスタボード43は、例えば32チャンネルのイベントテスタ66<sub>1</sub>～66<sub>32</sub>とインターフェース53、プロセッサ67およびメモリ68により構成されている。各イベントテスタは1のテスタピンに対応し、その内部構成は同一ボード内ではそれぞれ同一である。この例では各イベントテスタ66は、イベントメモリ60、イベント実行ユニット47、ドライバコンパレータ61およびフェイルメモリ57により構成されている。

【0047】イベントメモリ60にはテストパターンを形成するためのイベントデータが格納されており、このイベントデータを用いてイベント実行ユニット47によりテストパターンが形成される。テストパターンはドライバコンパレータ61を経由して被試験デバイスに与えられる。被試験デバイスの入力ピンがアナログ入力である場合には、上述したアナログ測定モジュール48によりテストパターンをDA変換器によりアナログ信号に変換して被試験デバイスに入力する。被試験デバイス19の出力信号はドライバコンパレータ61により期待値と比較されて、その結果がフェイルメモリ57に格納される。被試験デバイスの出力信号がアナログ信号の場合は、必要に応じてアナログ測定モジュール48内のAD変換器によりデジタル信号に変換する。

【0048】第5図は、各イベントテスタボード43内のイベントテスタ66の構成例をより詳細に示すブロック図である。このイベント方式による半導体試験装置の詳細については、上記の米国特許出願のほか、同一譲受人による米国特許出願番号09/259401にも詳述されている。第5図において第4図と共通部分は同一符号で示している。

【0049】インターフェース53とプロセッサ67は、システムバス64を経由してテスタコントローラ（ホストコンピュータ）41に接続される。インターフェース53は、例えば被試験デバイスのピンに対応するイベントテスタの割り当てを行うために、イベントテスタボード内のレジスタ（図示せず）にテスタコントローラ41からのデータを書き込む際に用いる。例えばホストコンピュータからグループ指定アドレスがシステムバス64に出力された場合に、そのアドレスを解読して自己のテスタ内のレジスタへデータの書き込みを可能にする。

【0050】プロセッサ67は例えば各イベントテスタボード毎に設けられ、ボード内部の動作、例えばイベン

ト（テストパターン）の発生、デバイスピンの出力信号の検証、フェイルデータの収集等を制御する。プロセッサ67は各ボードごとに設けても良いし、複数のボード単位で備えても良い。またプロセッサ67はボードに備える必要は必ずしもなく、テスタコントローラ41から各イベントテスタボードを直接的に制御してもよい。

【0051】アドレス制御部58は、例えば単純な形態としてはプログラムカウンタであり、この図の場合、フェイルメモリ57やイベントメモリ60のアドレスを制御している。イベントタイミングデータは、テストプログラムとして、ホストコンピュータからイベントメモリ60に転送される。

【0052】上記のように、イベントメモリ60は、各イベント（1から0、0から1の変化点）のタイミングを現すイベントタイミングデータを格納する。例えばイベントタイミングデータ中の基本クロック周期の整数倍のデータと、タイミングデータ中の基本クロック周期の端数データとに分けて格納している。好ましくはこのようなタイミングデータは、圧縮されてイベントメモリ60に格納される。

【0053】第4図のイベント実行ユニット47は第5図の例では、デコンプレッション・ユニット62、タイミングカウント・スケーリング63、およびイベント発生器69により構成されている。デコンプレッション・ユニット62は、イベントメモリ60からの圧縮されたタイミングデータを伸張（復元）させる。タイミングカウント・スケーリング63は、イベントタイミングデータを加算あるいは倍率変更して、各イベントのタイミングを所定の基準時間からのタイミング（遅延時間）としてあらわす。

【0054】イベント発生器69は、その結果としてのタイミングデータにより、テストパターンを発生し、ドライバコンパレータ61を経由して、被試験デバイス19に与える。被試験デバイスの応答を検証することにより、被試験デバイス19の所定ピンの試験が実行される。ドライバコンパレータ61は、第4図のように、主として対応するデバイスピンに与える試験パターンを駆動するドライバと、デバイスピンからの応答出力信号を受けてその電圧値を判定し、期待値と比較するためのコンパレータで構成される。

【0055】上記のイベント型テストシステムは、被試験デバイスへの入力信号およびその出力比較用のストローブは、イベント形式で取り扱われている。上述のようにイベント形式では、入力信号や出力比較信号の変化情報はアクション情報（セット・リセット）と時間情報（基準点からの時間）により構成されている。

【0056】従来技術による試験システムでは、イベント形式で必要とするメモリ容量を低減するためにサイクルベースを採用していた。サイクルベースでは、上記時間情報をサイクル情報（同期信号）と遅延時間情報をし

て、上記アクション情報を波形モードとパターンデータとして構成している。この場合、遅延時間はそのデータ数に制限があり、またパターンデータを柔軟に発生させるためにはループやサブルーチンのような機能を多用する必要があった。したがって、全体として複雑な構成と動作が必要であった。

【0057】本発明のイベントテスタでは、従来のサイクルベースの試験システムのような複雑な構成や動作を要しないので、テストピンの増加や異なる性能のテストピンの混在が容易に実現できる。一方、イベントテスタは大きなメモリ容量を必要とするが、メモリが急速に高密度化低価格化する現在、メモリ容量の増大はさほど問題ではない。

【0058】上述のように、イベントテスタは個々のテストピン毎に、あるいは所定数のテストピンのグループ毎に独立した試験動作ができる。このためアナログ信号とデジタル信号の混在した（ミクストシグナル）被試験デバイスの試験のように、異なる種類の試験を必要とする場合であっても、それらの試験を同時に平行して実行することができる。これら複数の異なる試験の開始や終了タイミングについても独立して設定することができる。

【0059】第6図は、本発明によるテスタモジュールをテストヘッドに組み込むことにより異なる性能にグループ分けされたテストピンを有する半導体試験システムを構成するための概念図である。

【0060】テストヘッド124には複数のテスタモジュールが、例えばそのテストヘッドに結合されるテスト・フィックスチャ127のピン数や被試験デバイスの種類やピン数に応じて組み合わされる。後述のように、テスト・フィックスチャ127とテスタモジュールのインターフェースはその仕様を標準化しておき、テスタモジュールをテストヘッド内のどの位置に組み込むことも可能とする。

【0061】テスト・フィックスチャ127は、例えばボゴピンのような伸縮可能なコネクタを多数搭載し、テスタモジュールとパフォーマンスボード128を電気的かつ機械的に結合する。第6図では示していないが、第7図や第8図に示すように、本発明においては、用途別の測定モジュール（例えばアナログ測定モジュール48）をテスト・フィックスチャ127に搭載する。したがって、本発明におけるテスト・フィックスチャ127は、特定用途に固定されたものとなる。

【0062】テスト・フィックスチャ127上に、パフォーマンスボード128が設けられる。被試験デバイス19は、パフォーマンスボード128上の例えばテストソケットに挿入されて、半導体試験システムとの電気的接続がされる。第4図に示した、アナログ試験用のアナログ測定モジュール48は、上述のようにテスト・フィックスチャ127に搭載されるが、例えばパフォーマンスボ

ード128上に、被試験デバイスの仕様に応じて設けてもよい。

【0063】各テスタモジュール125は所定のテストピン数のグループとされる。例えば1個の高速テスタモジュールHSTMには128ピン（チャンネル）分のボードが搭載され、1個の低速テスタモジュールLSTMには256（チャンネル）ピン分のボードが搭載される。これらの数値は単なる例であり、より小さなピン数あるいは大きなピン数のグループでもよい。

【0064】テスタモジュール内の各ボードは、上述したようなイベントテスタとして構成され、被試験デバイス19の対応するピンにテストパターンを、パフォーマンスボード128を経由して与える。またテストパターンに対する被試験デバイス19の応答出力がパフォーマンスボード128を経由して対応するテスタモジュール内のボードに与えられ、例えば期待値と比較されてその正否が判定される。

【0065】各テスタモジュールにはインタフェース（接続部）126が設けられている。このインタフェース126は、テスト・ifikusチャ127の標準仕様に合致するように構成される。例えば対象とするテストヘッドに用いられるテスト・ifikusチャ127の接続ピンの構造、インピーダンス、ピン間距離（ピンピッチ）あるいは相対位置等が標準仕様化される。この標準仕様にマッチするインタフェース126をテスタモジュールに備えることにより、テスタモジュールの自由な組み合わせの試験システムを構成できる。

【0066】このような本発明の構成により、被試験デバイスに合った最適のコストパフォーマンスの試験システムを構成できる。また試験システムの性能を向上させる場合でも、1部のテスタモジュールを交換することにより達成される場合が多いので、全体として試験設備の長寿命化が実現できる。さらに複数の異なる性能のモジュールの混在が可能なため、必要な性能を該当するモジュールで直接的に実現することができるので、試験システムの性能向上が容易になる。

【0067】第7図は本発明による混成信号デバイスの試験用に構成した半導体テストシステムの例を示すブロック図であり、第8図は本発明によるBIST機能デバイスの試験用に構成した半導体テストシステムの例を示すブロック図である。ここでは簡略のために、第6図におけるインタフェース126は示していない。またテスタモジュール125は単にTMとして現しているが、その各性能等は目的に応じてそれぞれ同一でも異なっていてもよい。

【0068】第7図は、アナログ部分を有する半導体回路を被試験デバイスとして専用的に用いるように構成した半導体テストシステムを示している。このためアナログ測定モジュール132および133が、テスト・ifikusチャ127内に搭載されている。例えば被試験デバ

イスの該当入力ピンがアナログ信号入力の場合には、テスタモジュール125からの試験信号をDAコンバータを有するアナログ測定モジュール133によりアナログ信号に変換して、被試験デバイスの入力ピンに供給する。また被試験デバイスの該当出力ピンがアナログ信号出力の場合には、ADコンバータを有するアナログ測定モジュール132によりデジタル信号に変換して、テスタモジュール125に与える。

【0069】このように、テスト・ifikusチャは特定用途に固定される（アプリケーション・スペシフィック）こととなるが、デジタル信号を扱うテスタモジュール125はアナログ回路と完全に分離できるので、単純な構成をとる。したがって、全体のシステムとしては大きなコストダウンとなる。またテスタモジュール125とテスト・ifikusチャ127間のインタフェースも単純化される。

【0070】上記のようなアナログ測定モジュールの例としては、オーディオ信号源、オーディオディジタル、ビデオ信号源、ビデオディジタル、およびそれらの付属回路（フィルタ等）がある。また例えばICカード（スマートカード）のような少数ピン素子を接続できるインタフェースをテスト・ifikusチャ127に備えても良い。その場合は、被試験デバイスであるICカードをパフォーマンスボード128を経ることなくテストすることになる。

【0071】第8図は、BIST（ビルトイン・セルフテスト）機能を有するデバイスの試験に専用となるように構成した半導体テストシステムを示している。このようなBIST機能を備えたデバイスは、BISTコントローラを有し、試験の際にはこのコントローラを通じてテストシステムとのインタフェースを行う。例としてIEEE1149.1基準に規定されるように（バウンダリスキャン用TAPコントローラ）、このBISTコントローラとテストシステムとの通信は、5ピンのインタフェースによりなされる。

【0072】このインタフェースは、高速動作を必要とされ、第8図の例では、インタフェース・ピン・グループ（IPG）モジュールをBISTモジュール134として、テスト・ifikusチャ127内に設けた構成を示している。このような構成により、BIST機能を備えたデバイスの試験を、本発明の低コストな用途別専用テストシステムにより実施できる。

【0073】第9図は、本発明の半導体テストシステムにより、アナログとデジタルの混成した被試験デバイス19内の異なる試験を並列に実行する概念を示すブロック図である。この例において被試験デバイス19は、AD変換回路、ロジック回路、DA変換回路を有している。上述のように、本発明の半導体テストシステムは、例えば所定数テストピンのグループ毎に独立した試験動作ができるので、このビングループをこれらの被試験回

路に割り当てて、並列に試験できる。

【0074】第10図(A)と第10図(B)は、従来の半導体テストシステムによるミクストシグナルICの試験プロセスと、本発明の半導体テストシステムによるミクストシグナルICの試験プロセスを比較して表示した概念図である。先に説明したように、従来の半導体テストシステムにより、第9図のようなミクストシグナルICを試験する場合、1の試験を終了後に他の試験を実行するというプロセスを踏む必要がある。このため、試験を完了するまでには、第10図(A)に示すように、各試験時間の総和の時間が必要となる。

【0075】これに対し、本発明の半導体テストシステムにより、第9図のミクストシグナルICを試験する場合には、第10図(B)に示すように、AD変換回路、ロジック回路、DA変換回路について、それらを同時に並列に試験することができる。このため、その試験に要する時間を大幅に短縮できる。なお第9図の例において、AD変換回路やDA変換回路の試験の後に、その測定値を所定式により演算等を行って評価することが一般的であるため、ソフトウェアによる演算(コンピューション)時間を加えている。

【0076】第11図に本発明による半導体テストシステムの外観図例を示す。第11図において、ホストコンピュータ(テスタコントローラ)41は、例えばグラフィック・ユーザ・インターフェース(GUI)を有するワークステーションであり、ユーザインタフェースとして機能するとともに、試験システム全体の動作制御を行う。ホストコンピュータ41と試験システム内部のハードウェアは、システムバス64(第4図および第5図)により接続される。

【0077】本発明によるイベントテスタは、従来のサイクルベースで構成された半導体試験システムと異なり、パターン発生器やタイミング発生器等に相当するハードウェアを要しない。したがって、モジュール化したイベントテスタを全てテストヘッド(システム本体)124内に収容する構成として、全体の物理的サイズを大幅に縮小できる。

【0078】以上のように、本発明のイベント型テストシステムでは、特定用途に用いる測定モジュールをテスト・フィックスチャ(ピン・フィックスチャ)に搭載することにより、システム本体に組み込むテスタモジュールの構成をより単純化している。このため、特定用途に専用として用意されたテスト・フィックスチャを被試験対象に応じて取り替えることにより、簡易で低コストな半導体テストシステムを実現できる。

【0079】本発明の半導体テストシステムは、テストヒン間で相互に独立した動作が可能であり、所定テストヒンのグループと他のグループ間で異なる被試験デバイスや被試験ブロックを同時に担当することができる。したがって、上述のような用途別テスト・フィックスチャを

用いることにより、被試験デバイス内のアナログ回路とディジタル回路の試験を同時に平行して実施できる。またBIST機能を有するデバイスの試験も、BIST用インターフェースを有するモジュールを備えたテスト・フィックスチャを用いて、容易に実施できる。

【0080】上述のように本発明の半導体テストシステムでは、テスタモジュール(テスタボード)をテスト実行に必要な情報を全て有するイベント形式で構成している。このため各テストピンが独立して動作可能となり、上述のように、アナログやディジタルのような異なる種類のテストが同時に実施できる。

#### 【0081】

【発明の効果】 本発明の半導体テストシステムでは、完全なモジュール化が達成できるので、被試験デバイスの種類や試験目的等に応じた柔軟な構成とすることができる。また必要とするハードウエア量を大幅に減少でき、かつ各モジュールを制御するためのソフトウエアを大幅に単純化できる。このために、全体としての物理的装置を小型化でき、したがってコストの低下や設置フロアスペースの減少、それに伴う各種費用の減少が実現できる。

#### 【図面の簡単な説明】

【図1】従来技術における半導体テストシステム(LSIテスタ)の基本的構成例を示すブロック図である。

【図2】従来技術における半導体テストシステムの一般的な外観を示す概念図である。

【図3】従来の半導体テストシステムにおいて、サイクルベースによりテストパターンを形成するためのデータ記述例と、それと同一のテストパターンをイベントベースでテストパターンを形成するためのデータ記述例を比較するための図である。

【図4】本発明による特有用途用のイベント型テストシステムにより混成信号デバイスを試験する場合の、テストシステムの構成例を示すブロック図である。

【図5】本発明によるイベントベースで形成され、テスタモジュールに組み込まれるイベントテスタボード内に構成される各イベントテスタの回路構成例を示すブロック図である。

【図6】本発明によるテスタモジュールをテストヘッドに組み込むことにより、異なる性能にグループ分けされたテストピンを有する半導体テストシステムを構成するための概念図である。

【図7】本発明による混成信号デバイスの試験用に構成した半導体テストシステムの構成例を示すブロック図である。

【図8】本発明によるBIST機能デバイスの試験用に構成した半導体テストシステムの構成例を示すブロック図である。

【図9】被試験デバイスがアナログ信号とディジタル信号の混成したミクストシグナルICである場合のその内

部構成例と、その被試験デバイスを本発明の半導体テストシステムで並列に試験するための概念を示すブロック図である。

【図10】従来の半導体テストシステムによる混成信号デバイスの試験プロセスと、本発明の半導体テストシステムによる混成信号デバイスの試験プロセスを比較して表示した概念図である。

【図11】本発明におけるモジュール形式半導体テスト

システムの外観を示す概念図である。

## 【符号の説明】

## 19 被試験デバイス

## 12.4 テストヘッド

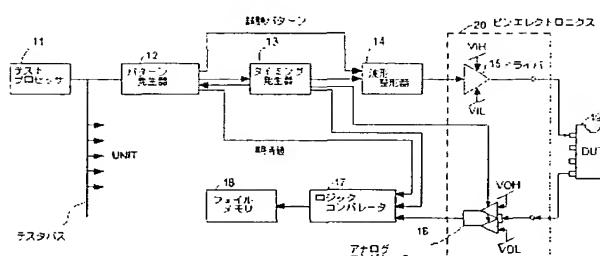
## 125 テスタモジュール

## 126 インタフェース

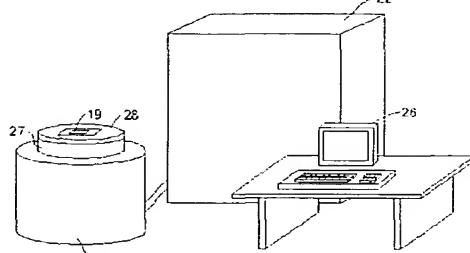
〔図1〕

[图2]

图 1



2



[図3]

[図4]

图3

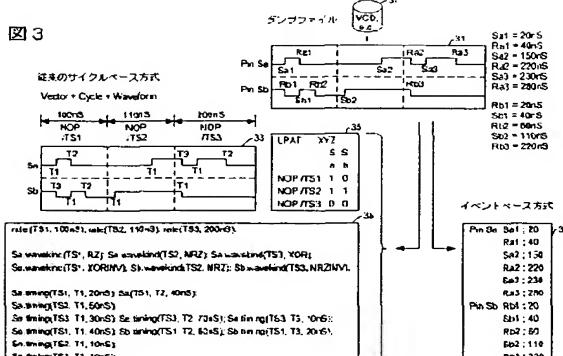
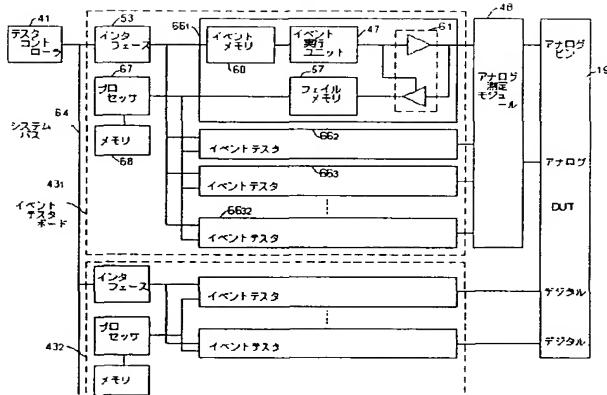


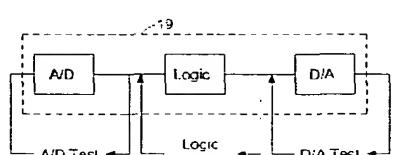
图 4



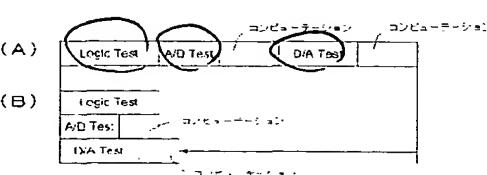
[図9]

〔図10〕

9



10



【図5】

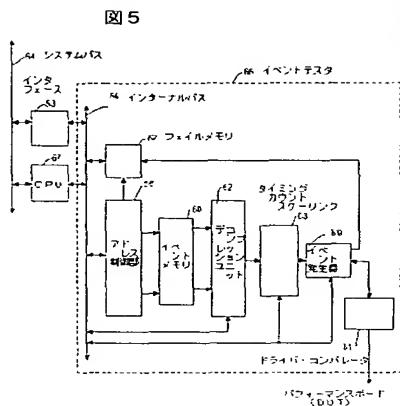


図6

【図6】

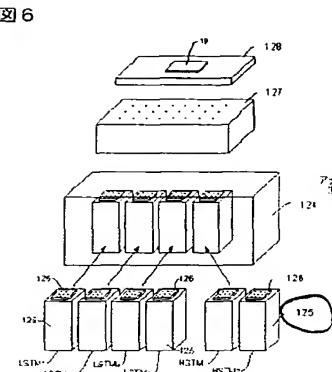
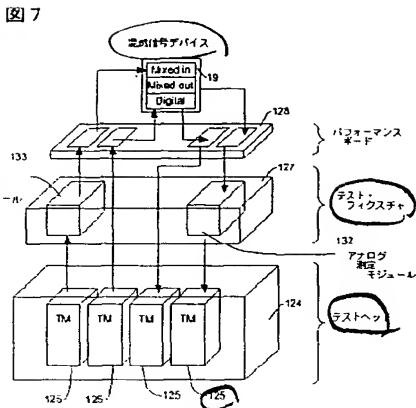


図7

【図7】



【図8】

図8

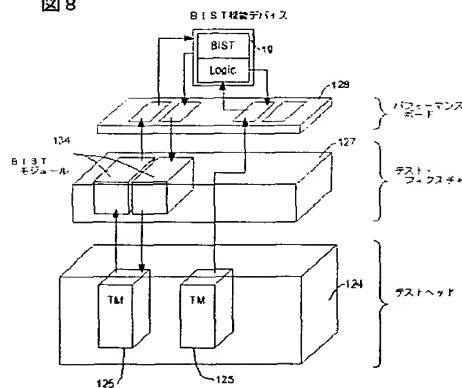


図11

【図11】

